



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11055984 A**

(43) Date of publication of application: 26 . 02 . 99

(51) Int. Cl.

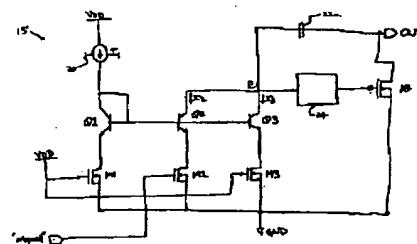
H02P 6/06(21) Application number: **10150839**(22) Date of filing: **01 . 06 . 98**(30) Priority: **30 . 05 . 97 US 97 865640**(71) Applicant: **ST MICROELECTRON INC**(72) Inventor: **MENEGOLI PAOLO**(54) **ADAPTIVE SLEW RATE CONTROL**

COPYRIGHT: (C)1999,JPO

(57) Abstract

PROBLEM TO BE SOLVED: To reduce generation of undesired noise, by supplying a control current based on a control signal representing a motor speed, and supplying a control voltage based on the control current to a control terminal of a driving transistor via a transmitting circuit.

SOLUTION: The gate of a transistor M2 is connected to an altspeed control signal representing a rotor speed. If the rotor speed is lower than a threshold speed, the control signal is low, and the transistor M2 is turned OFF. Meanwhile, when the rotor speed exceeds the threshold speed, the control signal becomes high, and the transistor M2 is turned ON. And, current via the transistors Q2, M2 starts to flow. Thus, a control circuit 15 controls a slew rate of the low side driving transistor in response to the rotor speed. And, the slew rare is reduced during a period of high current recalculation via a coil. Thus, generation of sound noise due to rapid ON and OFF of the switch is prevented.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-55984

(43) 公開日 平成11年(1999) 2月26日

(51) Int.Cl.⁶

識別記号

F I

H 0 2 P 6/06

H 0 2 P 6/02

3 4 1 B

審査請求 未請求 請求項の数26 OL (全 14 頁)

(21) 出願番号 特願平10-150839

(22) 出願日 平成10年(1998) 6月1日

(31) 優先権主張番号 08/865640

(32) 優先日 1997年5月30日

(33) 優先権主張国 米国 (US)

(71) 出願人 591236448

エスティーマイクロエレクトロニクス、インコーポレイテッド

SGS-THOMSON MICROELECTRONICS, INCORPORATED

アメリカ合衆国、テキサス 75006、
カーロルトン、エレクトロニクス
ドライブ 1310

(72) 発明者 パオロ メネゴリ

アメリカ合衆国、カリフォルニア
95035、ミルピタス、ミルモント
ドライブ 1775、ナンバー エイ-308

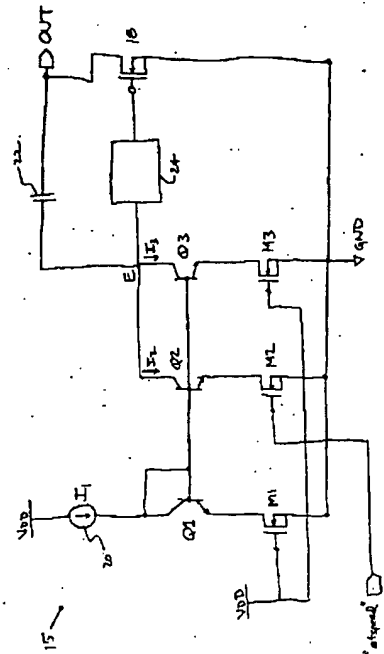
(74) 代理人 弁理士 小橋 一男 (外1名)

(54) 【発明の名称】 適応スルーレート制御

(57) 【要約】

【課題】 三相DCモータにおける不所望の可聴ノイズを減少させる技術を提供する。

【解決手段】 本発明によれば、「Y」形態のコイルを具備する回転中の三相DCモータにおける駆動トランジスタのスルーレートを制御する1組の回路が提供される。該スルーレートは、モータの回転速度が低い場合に減少される。該スルーレートは、駆動トランジスタの制御端子へ印加される電圧を制御することによって制御される。駆動トランジスタの制御端子へ印加される電圧は、モータの速度を表わす制御信号にตอบสนองして選択される。



【特許請求の範囲】

【請求項 1】 制御端子を具備する駆動トランジスタのスルーレートを制御する適応スルーレート制御回路であって、スルーレートが前記駆動トランジスタへ印加される電圧によって制御され、前記駆動トランジスタはある速度で回転している多相 DC モータへ結合されている適応スルーレート制御回路において、前記モータの速度を表わす制御信号に基づいて第一制御電流を供給する電流制御回路、

前記電流制御回路及び前記駆動トランジスタの制御端子へ結合されている伝達回路であって、前記第一制御電流に基づいて前記駆動トランジスタの制御端子へ制御電圧を供給しその際に前記モータの速度に基づいて前記駆動トランジスタのスルーレートを制御する伝達回路、を有することを特徴とする適応スルーレート制御回路。

【請求項 2】 請求項 1 において、前記電流制御回路が電圧源へ結合している第一端部と第二端部とを具備するインピーダンス装置を有しており、前記制御信号は前記インピーダンス装置の第二端部へ結合されて前記インピーダンス装置を介して第一制御電流を発生することを特徴とする適応スルーレート制御回路。

【請求項 3】 請求項 2 において、前記電流制御回路がソースホロワ回路を有しており、前記制御信号が前記ソースホロワへ接続され、前記ソースホロワ回路は前記インピーダンス装置の第二端部へ接続されており且つ前記インピーダンス装置の第二端部へ制御信号を印加することを特徴とする適応スルーレート制御回路。

【請求項 4】 請求項 2 において、前記インピーダンス装置が負荷抵抗であることを特徴とする適応スルーレート制御回路。

【請求項 5】 請求項 1 において、前記伝達回路が前記第一制御電流を受取るべく結合されているカレントミラー回路を有しており、前記カレントミラー回路が第二制御電流を発生し、前記伝達回路が前記第二制御電流を前記制御電圧へ変換し且つ前記制御電圧を前記駆動トランジスタの制御端子へ印加させることを特徴とする適応スルーレート制御回路。

【請求項 6】 請求項 5 において、前記カレントミラー回路が、前記電流制御回路と電圧源との間に接続されている第一トランジスタ、前記第一トランジスタと前記駆動トランジスタの制御端子との間に接続されている第二トランジスタ、を有しており、前記第一制御電流が前記第一トランジスタを介して導通され、前記第二制御電流が前記第一制御電流にตอบสนองして前記第二トランジスタを介して導通されることを特徴とする適応スルーレート制御回路。

【請求項 7】 請求項 1 において、前記第一制御電流が、前記伝達回路が前記駆動トランジスタの制御端子へ供給される制御電圧を減少させるように負の電流である

ことを特徴とする適応スルーレート制御回路。

【請求項 8】 請求項 1 において、前記電流制御回路が、ソース電流を供給する電流源、前記電流源及び前記伝達回路へ接続している第一カレントミラーであって、前記制御信号を受取り且つ前記制御信号にตอบสนองして第一制御電流を発生する第一カレントミラー、

前記電流源及び前記伝達回路へ結合されており第二制御電流を発生する第二カレントミラー、を有しており、前記伝達回路が前記第一カレントミラー及び前記第二カレントミラーへ接続している入力ノードを有しており、前記伝達回路が前記第一制御電流及び前記第二整流電流を加算して前記駆動トランジスタの制御端子へ制御電圧を供給することを特徴とする適応スルーレート制御回路。

【請求項 9】 請求項 8 において、前記第一カレントミラーが前記電流源へ接続している基本トランジスタを有しており、前記基本トランジスタは第一ミラートランジスタへ接続しており、前記第一ミラートランジスタは前記伝達回路の入力ノードへ接続しており、前記第一ミラートランジスタは第一制御電流を発生し、前記第二カレントミラーが前記基本トランジスタ及び前記伝達回路の入力ノードへ接続している第二ミラートランジスタを有しており、前記伝達回路がバッファ回路とコンデンサとを有していることを特徴とする適応スルーレート制御回路。

【請求項 10】 請求項 1 において、前記伝達回路が前記駆動トランジスタの制御端子へ並列接続しているバッファ回路とコンデンサとを有しており、前記制御電圧が前記バッファ回路を介して前記駆動トランジスタの制御端子へ結合されることを特徴とする適応スルーレート制御回路。

【請求項 11】 制御端子を具備する駆動トランジスタのスルーレートを制御する適応スルーレート制御回路であって、前記駆動トランジスタがある速度で回転している多相 DC モータへ結合されている適応スルーレート制御回路において、

第一電流を供給する電流源、前記駆動トランジスタの制御端子へ結合している伝達回路、

前記電流源と前記伝達回路との間に結合されており、前記電流源によって供給される第一電流に比例する第一制御電流を発生する第一電流制御回路、

前記電流源と前記伝達回路との間に結合されており前記モータの速度を表わす制御信号にตอบสนองして第二制御電流を発生する第二電流制御回路、を有しており、前記第二制御電流が前記伝達回路によって前記第一制御電流へ加算され、前記伝達回路が前記第一制御電流及び第二制御電流にตอบสนองして前記駆動トランジスタの制御端子へ制御電圧を印加させることを特徴とする適応スルーレート制

御回路。

【請求項12】 請求項11において、前記第一制御電流が前記第一電流に比例しかつ前記第二制御電流が前記第一電流に比例することを特徴とする適応スルーレート制御回路。

【請求項13】 請求項11において、前記第一電流制御回路が、前記電流源と電圧源との間に結合されている第一ミラートランジスタ、前記伝達回路と前記電圧源との間に結合されている第二ミラートランジスタ、から構成されており、前記第二ミラートランジスタが前記第一ミラートランジスタへ接続されており、前記第二ミラートランジスタが前記第一制御電流を発生することを特徴とする適応スルーレート制御回路。

【請求項14】 請求項13において、前記第二電流制御回路が前記伝達回路と前記電圧源との間に結合されている第三ミラートランジスタを有しており、前記制御信号が前記第三ミラートランジスタへ結合され、前記第三ミラートランジスタは前記第一ミラートランジスタへ接続されており、前記第一ミラートランジスタが前記制御信号にตอบสนองして第二制御電流を発生することを特徴とする適応スルーレート制御回路。

【請求項15】 制御端子を具備する駆動トランジスタのスルーレートを制御する適応スルーレート制御回路であって、前記スルーレートが前記駆動トランジスタの制御端子へ印加される制御電圧によって制御され、前記駆動トランジスタがある速度で回転している多相DCモータへ結合されている適応スルーレート制御回路において、

電圧を有する制御信号を受取る電流源であって、前記制御信号が前記モータの速度を表わし、前記電流源が前記制御信号にตอบสนองして前記モータの速度に比例する第一電流を供給する電流源、前記電流源へ接続している伝達回路であって、前記第一電流が前記伝達回路を介して導通され、前記伝達回路が前記制御電圧を発生し、前記制御電圧が前記駆動トランジスタのスルーレートを制御するために前記駆動トランジスタの制御端子へ結合される伝達回路、を有することを特徴とする適応スルーレート制御回路。

【請求項16】 請求項15において、前記制御電圧が前記第一電流にตอบสนองして発生されることを特徴とする適応スルーレート制御回路。

【請求項17】 請求項16において、前記伝達回路がカレントミラー回路と、バッファ回路と、コンデンサとを有しており、前記制御電圧が前記第一電流に比例する割合で変化することを特徴とする適応スルーレート制御回路。

【請求項18】 請求項17において、前記電流源が、反転入力端と、非反転入力端と、出力端とを具備してお

り前記非反転入力端が制御信号へ接続される第一オペアンプ、

制御端子と、第一端子と、第二端子とを具備する第三トランジスタであって、前記第三トランジスタの制御端子が前記第一オペアンプの出力端へ接続しており、前記第一端子が前記第一端子の電圧が前記制御信号の電圧へ結合されるように前記第一オペアンプの反転入力端へ接続され、且つ前記第二端子が前記伝達回路へ接続されている第三トランジスタ、

電圧源と前記第一端子との間に接続している負荷抵抗、を有していることを特徴とする適応スルーレート制御回路。

【請求項19】 請求項18において、更に、入力端と出力端とを具備する電圧インバータ回路が設けられており、前記電圧インバータ回路の入力端は反転制御信号へ接続され、前記電圧インバータ回路の出力端は前記第一オペアンプの非反転入力端へ接続していることを特徴とする適応スルーレート制御回路。

【請求項20】 ある速度で回転している多相DCモータへ結合しており制御端子を具備する駆動トランジスタのスルーレートを制御する方法において、前記モータの速度を表わす電圧を有する制御信号を発生し、

前記制御信号にตอบสนองして制御電流を発生し、

前記制御電流を制御電圧へ変換し、

前記制御電圧を前記駆動トランジスタの制御端子へ結合させその場合に前記駆動トランジスタのスルーレートを前記制御電圧によって制御させる、上記各ステップを有することを特徴とする方法。

【請求項21】 請求項20において、前記制御電流を制御電圧を変換させるステップが、前記制御電流を電圧を有するコンデンサの第一プレートへ指向させるステップを有することを特徴とする方法。

【請求項22】 請求項20において、前記制御電流を発生するステップが、

前記制御信号をインピーダンスの第一端部へ印加させ、前記インピーダンスの第二端部を第一電圧源へ接続させる、

上記各ステップを有することを特徴とする方法。

【請求項23】 請求項20において、前記制御電流を発生するステップが、

前記制御信号にตอบสนองして第一電流を発生し、

第一ミラートランジスタを介して前記第一電流を通過させ、

前記第一ミラートランジスタを第二ミラートランジスタへ結合させ、

前記第二ミラートランジスタにおいて前記制御電流を発生させる、上記各ステップを有することを特徴とする方法。

【請求項24】 請求項21において、前記制御電圧を

結合させるステップが、
前記コンデンサの第一プレートバッファ回路へ接続させ、
前記バッファ回路を前記駆動トランジスタの制御端子へ接続させる、
上記各ステップを有することを特徴とする方法。

【請求項25】 請求項20において、前記制御電流を発生するステップが、
第一電流を発生し、
前記第一電流に比例する制御信号にตอบสนองして制御電流を発生する、
上記各ステップを有することを特徴とする方法。

【請求項26】 請求項25において、前記制御電流を発生するステップが、
第一ミラートランジスタを介して前記第一電流を導通させ、
前記第一ミラートランジスタを第二ミラートランジスタへ結合させ、
前記第二ミラートランジスタにおいて第一制御電流を発生させ、
前記第一ミラートランジスタを第三ミラートランジスタへ結合させ、
前記制御信号にตอบสนองして前記第三ミラートランジスタを選択的に導通状態へスイッチングさせ、
前記第三ミラートランジスタが導通状態にある場合に前記第三ミラートランジスタにおいて第二制御電流を発生させ、
前記第一制御電流及び前記第二制御電流を結合させて前記制御電流を発生させる、上記各ステップを有することを特徴とする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は多相DCモータの動作技術に関するものであって、更に詳細には、DCモータにおける駆動トランジスタのスルーレートを制御する方法及び回路に関するものである。

【0002】

【従来の技術】 多相DCモータ、より詳細にはブラシレスセンサレスタイプの三相DCモータは、例えばフロッピーディスク、ハードディスク、CD-ROMドライブ等のコンピュータシステムディスクドライブ、及びその他の適用例において広く使用されている。三相DCモータは、「Y」形態で接続した3個のコイルを有するステータを具備するものとしてモデル化することが可能であるが、典型的には、多数のモータポールと共に多くの数のステータコイルが使用される。従来の適用例においては、12個のステータ巻線即ちコイルを具備しており、且つロータ上に4個のN-S磁石組を具備する8ポールモータが使用されている。12個のステータコイルは各グループが3個の「Y」接続されたコイルからなる

1組として配列されている4つのグループのコイルでモデル化されている。「Y」形態における3個のコイルのうちの各々の一端は共通ノード即ちセンタータップへ連結されており、且つ各コイルの反対側の端部は高側駆動トランジスタと低側駆動トランジスタとの間に接続している。センタータップは非接続状態のままとさせることが可能であり、又は制御された電圧源へ接続させることが可能である。

【0003】 三相DCモータは、典型的に、以下のよう1に要約することの可能なバイポーラモードで動作される。3個の「Y」接続したコイルがロータを駆動するために一連の電流パターン又は経路において付勢される。各パターンにおいて、3つのコイルのうちの2つを介して電流経路が確立される。「Y」形態における3番目のコイルはフローティング状態とされ、即ち、このコイルを介して電流が流れることはない。

【0004】 「Y」接続型コイルの各々を介しての電流の流れは駆動トランジスタによって制御される。その高側駆動トランジスタ又はその低側駆動トランジスタのいずれかが付勢されて電流を導通する場合に、3個の「Y」個の接続型コイルのうちの1つにおいて電流が流れる。各パターンにおいて、電流は高側トランジスタとそれと関連するコイルを介し、センタータップを介し、次いで第二コイルを介し、且つその低側駆動トランジスタを介して流れる。電流経路のシーケンスは、電流経路が変化される場合に、電流経路内のコイルのうちの1つがフローティング条件へスイッチされ、且つ前にフローティング状態にあったコイルが電流経路内へスイッチされるように選択される。3個のコイルからなる「Y」形態においては、全部で6個の異なる電流経路がロータを駆動するために使用可能である。これらのコイルを介しての電流経路が変化される度にコミュテーション即ち転流が発生し、且つその時点におけるロータの位置がコミュテーション点である。上に定義したシーケンスにおいて、6個の異なるコミュテーションイベントが三相DCモータにおけるロータの各1回転に対して発生する。

【0005】 三相DCモータにおけるロータの回転運動の精密な制御がディスクドライブシステムにおいて重要である。ロータの運動の不適切な制御は不所望の振動及び音響ノイズを発生させる場合がある。ロータの運動は精密及び一貫した態様でコミュテーション点を選択することによって制御される。最適なコミュテーション点は、ロータの位置に基づいて選択され、そのことは、典型的に、ロータの回転磁界によってフローティングコイル内に誘起されるEMFであるいわゆるBEMF信号とも呼ばれるモータ内の逆EMF信号をモニタすることによって確保される。

【0006】 フローティングコイルにおけるBEMF信号は性質的に正弦波であり、且つ規則的なインターバル(間隔)でセンタータップの電圧を交差する。ロータの

回転速度を決定するためにBEMF信号を使用することが可能である。ロータ速度が増加すると、BEMF信号の周波数が増加する。ロータ速度が減少すると、BEMF信号の周波数が減少する。BEMF電圧信号は、又、コミュテーション点を選択するために使用される。従来、最適なコミュテーション点は、BEMF信号がセンタタップ電圧と等しくなる時刻に関連して選択され、且つこれらの時刻はゼロ交差点である。モータが適切に機能している場合には、ロータの位置は各ゼロ交差点において既知である。

【0007】典型的に、三相「Y」接続型DCモータにおける駆動トランジスタは、ゲートとドレインとソースとを具備するNチャンネルDMOSトランジスタである。該ゲートはNチャンネルDMOSトランジスタに対する制御端子である。NチャンネルDMOS駆動トランジスタは、スイッチオンされてそのゲート上の電圧を上昇させることによりコイルを介して電流を指向させる。逆に、該駆動トランジスタは、そのゲートへ印加される電圧を減少させることによってスイッチオフされる。NチャンネルDMOS駆動トランジスタが、そのゲート上の電圧を増加させることによってスイッチオンされると、該トランジスタを介しての電流の流れが開始し且つそのゲートへ印加されている電圧が最大値に到達する前にプラトウ即ち平坦域に到達する。制御端子上の電圧が最大値に上昇するのが速ければ速いほど、駆動トランジスタはより速くスイッチオンされ且つコイル内の電流はより速くプラトウに上昇する。逆に、NチャンネルDMOS駆動トランジスタがスイッチオフされると、そのゲート上の電圧は、該トランジスタ即ち該コイルを介して電流が流れなくなるまで、減少される。該ゲート上の電圧がより速く減少されればされる程、駆動トランジスタはより速く電流の流れを停止させる。駆動トランジスタとコイルの間の接続点における電圧の変化割合は該コイルを介しての電流の変化割合に直接的に関係しており、それはスルーレートと呼称される。スルーレートは、駆動トランジスタのゲートへ印加される電圧によって支配される。

【0008】DCモータのロータが所望の速度において又はその近くで回転しており且つBEMF信号が高い周波数を有している場合には、中程度の量の電流が該コイルを介して循環され、ロータの速度を維持するために十分なトルクを印加する。然しながら、スタートアップ即ち始動手順期間中においては、ロータが低速で回転しており且つ低い周波数のBEMF信号を発生する。この期間中において、ロータは単にロータの速度を維持するために必要とされるものよりも実質的により多くの電流を引出すコイルによって加速される。高電流再循環とも呼ばれる該コイルを介しての高電流はモータの動作に関して負の効果を有しており、特に低側駆動トランジスタが関与するコミュテーションイベント期間中においてそう

である。第一低側駆動トランジスタがスイッチオフされて第一コイル内の電流を停止させると、第二低側駆動トランジスタがスイッチオンされて第二コイルにおいて電流が流れることを許容する。第一低側駆動トランジスタが迅速にスイッチオフされると、以下の理由により、コイルを介しての電流における過渡的な崩れから音響ノイズが発生する。第二コイルを介しての電流は該コイルに対する制御ループにおけるゆっくりとした時定数のためにゆっくりと増加し、且つ第一低側駆動トランジスタが迅速にスイッチオフされると、該コイルを介しての全体的な電流は、第二コイルにおいて最大電流に到達するまで、僅かに減少する。高電流再循環の期間中においては特に意味がある該コイルを介しての電流における過渡的な現象は、可聴ノイズを発生し、それはディスクドライブシステムにおいては極めて望ましくないものである。

【0009】駆動トランジスタのスルーレートの注意深い制御は、駆動トランジスタがスイッチオン及びオフされる場合に発生される高周波数高調波ノイズを減少させる。高調波ノイズは、駆動トランジスタがあまりにも迅速にスイッチオン及びオフされる場合に広い周波数のバンドにわたって発生し、且つ該ノイズは書込又は読取動作期間中にディスクへ又はディスクからデータを転送するチャンネルと干渉する場合がある。スルーレートにおける減少は高調波ノイズが発生される周波数のバンド即ち帯域を減少させ、その際に読取又は書込動作との干渉を取除く。

【0010】従来の三相DCモータにおいては、モータの動作条件に拘らずに一定のスルーレートが使用されており、そのことは不所望なノイズを発生することとなる。三相DCモータにおいて不所望の可聴ノイズを減少させる方法及び装置に対する必要性が存在している。

【0011】

【発明が解決しようとする課題】本発明は、以上の点に鑑みなされたものであって、上述した如き従来技術の欠点を解消し、不所望のノイズの発生を減少させることを可能とした装置及び方法を提供することを目的とする。本発明の別の目的とするところは、DCモータにおける駆動トランジスタのスルーレートを制御する方法及び回路を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明の好適実施例によれば、制御端子を具備しており多相DCモータへ結合されている駆動トランジスタのスルーレートを制御する適応スルーレート制御回路が提供される。本制御回路は、制御信号に基づいて第一制御電流を供給する電流制御回路を有しており、該制御信号は該モータの速度を表わす。伝達回路が該電流制御回路及び該駆動トランジスタの制御端子へ結合されている。該伝達回路は、該駆動トランジスタの制御端子へ制御電圧を供給し、該制御電圧は第一制御電流に基づいている。該駆動トランジスタの

スルーレートは、該モータの速度に基づく制御電圧によって制御される。

【0013】本発明の別の好適実施例によれば、ある速度で回転している多相DCモータへ結合されており制御端子を具備する駆動トランジスタのスルーレートを制御する方法が提供される。本方法は以下のステップを包含している。該モータの速度を表わす電圧を有する制御信号を発生する。該制御信号に応答して制御電流を発生する。該制御電流を制御電圧へ変換させる。該電圧を該駆動トランジスタの制御端子へ結合即ち供給し、駆動トランジスタのスルーレートを該制御電圧によって制御する。

【0014】

【発明の実施の形態】3個のコイルA、B、Cからなる「Y」形態を具備する従来の三相DCモータを概略的に図1に示してある。これらのコイルA、B、CはセンタータップCTにおいて互いに接続されている。各コイルは一对のNチャンネルDMOS駆動トランジスタ、即ち低側駆動トランジスタ及び高側駆動トランジスタによって駆動される。第一コイルAのAFとして示した一端部は第一高側駆動トランジスタ10AのソースSへ接続しており且つ第一低側駆動トランジスタ11AのドレインDへ接続している。第二コイルBのBFとして示した一端部は同様に第二高側駆動トランジスタ10BのソースSへ接続すると共に第二低側駆動トランジスタ11BのドレインDへ接続している。最後に、第三コイルCのCFとして示した一端部は第三高側駆動トランジスタ10CのソースSへ接続すると共に第三低側駆動トランジスタ11CのドレインDへ接続している。高側駆動トランジスタ10A、10B、10Cの各々のドレインDは電圧源VDDへ接続しており、且つ低側駆動トランジスタ11A、11B、11Cの各々のソースSは検知抵抗 R_s の第一端部へ接続している。検知抵抗 R_s の第二端部は接地基準電圧へ接続しており、したがって「Y」接続型コイルを介して流れる電流の全ては検知抵抗 R_s を介して接地基準電圧へ流れる。

【0015】駆動トランジスタ10A、10B、10C、11A、11B、11Cの各々は、上述したドレインD及びソースSに加えてゲートGを有している。典型的な駆動トランジスタにおいては、ゲートGへ印加した電圧がスレッシュホールド電圧の量だけソースSにおける電圧よりも一層大きい場合に、電流がドレインDからソースSへ流れる。ドレインDとソースSとの間の経路は、電流がドレインDからソースSへ流れるためには、正電圧差によって打ち勝たねばならないある抵抗を提供している。

【0016】三相DCモータの典型的な駆動トランジスタにおいては、ゲートGが付勢される場合に、駆動トランジスタとそれと関連するコイルを介して電流を流すのに十分な量だけドレインDにおける電圧がソースSにお

ける電圧を上回る。駆動トランジスタをスイッチオンさせるためにはゲートG上の電圧をスレッシュホールド電圧の量だけソースSの電圧を超えるレベルへ上昇させ、そのことはドレインDからソースSへ小さな量の電流を流させる。ゲートGへ印加した電圧は、通常、ソースSにおける電圧を超えてスレッシュホールド電圧の量の2倍乃至は3倍の最大レベルへ上昇される。ドレインDからソースSへの電流はゲートGへ印加される電圧と共に上昇し且つゲートG上の電圧が上昇を停止する前に、プラトウ即ち平坦域に到達する。駆動トランジスタを介しての電流の流れにおける増加割合は、ゲートGへ印加される電圧における増加割合に依存する。更に、三相DCモータにおける駆動トランジスタとそれと関連するコイルの間の接続部における電圧の変化割合（即ち、駆動トランジスタのスルーレート）は、該駆動トランジスタのゲートG上の電圧の変化割合によって支配される。

【0017】駆動トランジスタ10A、10B、10C、11A、11B、11Cのうちの1つがスイッチオンされると、それは電流を導通させ且つモータ内の2つ又はそれ以上のコイルを介しての電流経路の一部となる。例えば、代表的な動作フェーズにおいて、電流が電圧源VDDから、第一高側駆動トランジスタ10Aを介し、第一コイルAを介し、センタータップCTを介し、第二コイルBを介し、第二低側駆動トランジスタ11Bを介し、検知抵抗 R_s を介して接地基準電圧へ流れる。この特定のフェーズは、駆動トランジスタ10A、11Aのゲート上の電圧を高状態とさせ、一方他の4つの駆動トランジスタのゲート上の電圧を低状態に維持することによって選択される。該ゲートのうちの1つを高電圧レベルから低電圧レベルとさせ、一方同時に、該ゲートのうちの別のものを低電圧レベルから高電圧レベルとさせることによって、電流経路を変化させるためにコミュニケーション即ち転流を実施することが可能である。

【0018】上述したようにロータの回転速度が低く且つロータが加速されている場合には、「Y」接続型コイルは大きな量の電流を引出す。該コイルを介しての高電流再循環は、駆動トランジスタの迅速なスイッチオン及びオフが不所望の音響ノイズを発生させるという環境を形成する。このノイズを最小とさせるための1つの方法は、モータが低速動作期間中に駆動トランジスタがスイッチオン又はオフされる場合にスルーレートを減少させることである。スイッチオフされる場合に低側駆動トランジスタのうちの1つのスルーレートを減少させることは、特に、このような音響ノイズを減少させる上で効果的である。何故ならば、スイッチオンされる低側駆動トランジスタへ供給される該コイルを介しての電流が、該コイルに対する制御ループにおける遅い時定数のために、スイッチオフされる低側駆動トランジスタへ結合しているコイルを介しての電流よりも一層ゆっくりと上昇するからである。スイッチオフされる低側駆動トランジ

スタのスルーレートが減少されない場合には、該コイル内における全電流が一時的に低下しその際に音響ノイズを発生する。

【0019】本発明の第一実施例に基づくNチャンネルDMOS低側駆動トランジスタ18のスルーレートを制御する制御回路15を図2に示してある。制御回路15は駆動トランジスタ18がスイッチオフされる場合に、駆動トランジスタ18のゲート上の電圧が減少される割合を制御する。電流 I_1 を供給する電流源20が電圧源VDDとNTNトランジスタQ1のコレクタとの間に接

続されている。トランジスタQ1のエミッタはNチャンネルMOSトランジスタM1のドレインへ接続している。トランジスタQ1のベースはトランジスタQ1のコレクタ、NPNトランジスタQ2のベース、NPNトランジスタQ3のベースへ接続している。トランジスタQ2のエミッタはNチャンネルMOSトランジスタM2のドレインへ接続しており、且つトランジスタQ3のエミッタはNチャンネルMOSトランジスタM3のドレインへ接続している。トランジスタM1、M2、M3の各々のソースは接地基準電圧へ接続している。トランジスタM1のゲート及びトランジスタM3のゲートは、両方とも、電圧源VDDへ接続している。トランジスタM2のゲートは「atspeed」制御信号を受取る。

【0020】トランジスタQ3のコレクタはノードEにおいてトランジスタQ2のコレクタへ接続しており、且つノードEはコンデンサ22の第一プレートへ接続すると共にバッファ回路24の入力端へ接続している。バッファ回路24は、例えばエミッタホロア回路又はオペアンプ回路等の高入力インピーダンスと低出力インピーダンスとを有する任意の公知のバッファ回路とすることが可能である。バッファ回路24の出力端は駆動トランジスタ18のゲートへ接続している。駆動トランジスタ18のドレイン及びコンデンサ22の第二プレートは出力端子OUTへ接続しており、出力端子OUTは駆動トランジスタ18が例えば図1に示したような三相DCモータ等のモータ回路内に組込まれる場合に駆動トランジスタ18と関連するコイルの一端部への接続点である。駆動トランジスタ18のソースは接地基準電圧へ接続している。バッファ回路24及びコンデンサ22は駆動トランジスタ18を制御回路15の残部から分離させてい

る。「Y」接続型コイルを介して流れる電流は、駆動トランジスタ18がスイッチオンされると、端子OUT及び駆動トランジスタ18を介して接地基準電圧へ流れる。

【0021】図2に示した制御回路15の動作について説明する。トランジスタM1、M2、M3は、夫々、トランジスタQ1、Q2、Q3を介して流れる電流を制御するスイッチトランジスタである。トランジスタM1、M3のゲートは電圧源VDDへ接続しており、従ってトランジスタM1、M3は両方とも常に導通状態にある。

トランジスタM2のゲートは、ロータの速度を表わすデジタル信号である「atspeed」制御信号へ接続される。該ロータの速度がスレッシュホールド速度よりも低い場合には、「atspeed」制御信号は低であり且つトランジスタM2はスイッチオフされる。ロータの速度がスレッシュホールド速度を超えると、「atspeed」制御信号が高状態とされ且つトランジスタM2はスイッチオンされ、それはトランジスタQ2、M2を介しての電流の流れを開始させる。

【0022】電流源20によって発生される電流 I_1 は、トランジスタQ1、M1を介して接地基準電圧へ流れる。トランジスタQ1とQ3との間の結合は、カレントミラー回路を形成しており、従って電流 I_1 と等しい電流 I_3 がトランジスタQ3によってノード1から引出される。電流 I_3 はコンデンサ22の第一プレートから引出される。ノードEにおける電圧に等しいバッファ回路24によって駆動トランジスタ18のゲートへ電圧が印加される。コンデンサ22から引出される電流 I_3 はノードEにおける電圧を減少させ、そのことは駆動トランジスタ18のゲート上の電圧を減少させる。ロータの速度がスレッシュホールド速度より低い限り、「atspeed」制御信号は低状態であり、そのことはトランジスタM2、Q2が電流が導通することを防止する。そうであるから、駆動トランジスタ18のゲートにおける電圧は電流 I_3 に従って減少される。その結果、制御回路15は、ロータがゆっくりと回転している場合に電流 I_3 によって支配されるスルーレートを低側駆動トランジスタ18へ供給する。

【0023】ロータの速度がスレッシュホールド速度を超えて増加すると、「atspeed」制御信号が低レベルから高レベルへシフトし、そのことはトランジスタM2をスイッチオンさせる。トランジスタM2のスイッチオンは、トランジスタQ2、M2によってノードEから接地基準電圧へ電流 I_2 を引出すことを可能とさせる。トランジスタQ2はトランジスタQ1へ結合されており、トランジスタM2が導通状態にある場合に第二ミラー回路を形成する。従って、トランジスタM2がスイッチオンされると、電流 I_2 は電流 I_1 と等しい。トランジスタM2、M3が両方とも導通状態にあると、トランジスタQ2、Q3は夫々ノードEを介してコンデンサ22から電流 I_2 、 I_3 を引出す。駆動トランジスタ18のゲートにおける電圧は電流 I_2 、 I_3 の和に従ってバッファ回路24によって減少される。それにより、駆動トランジスタ18のスルーレートは、ロータ速度がスレッシュホールド速度を超え且つ該コイルを介して中程度の電流の流れが存在する場合に、ほぼ2倍とされる。このように、制御回路15はロータの速度にตอบสนองして低側駆動トランジスタのスルーレートを制御し、且つスルーレートはコイルを介しての高電流再循環の期間中減少される。

【0024】図2に示した回路においては、トランジスタQ1, Q2, Q3の寸法は同一であり、従ってトランジスタM2がスイッチオンされる場合に、電流 I_1 , I_2 , I_3 は等しい。別の実施例においては、トランジスタQ2, Q3を異なる寸法とさせ、従って電流 I_2 を電流 I_1 よりも大きいとさせることが可能である。トランジスタQ1, Q2, Q3は、モータの特性と一致するようにスルーレートを調節するような態様で構成することが可能である。

【0025】本発明の第二実施例に基づく制御回路25 10を図3に示してあり、それは駆動トランジスタ18のゲートにおける電圧を増加させるものである。制御回路25は、駆動トランジスタ18がスイッチオフされる場合に図2に示した制御回路15がスルーレートを制御する場合と同様の態様で、駆動トランジスタ18がスイッチオンされる場合にスルーレートを制御する。

【0026】制御回路25はPNPトランジスタQ6のコレクタと接地基準電圧との間に接続されている電流 I_1 を引出す電流源26を有している。トランジスタQ6のエミッタはPチャンネルMOSトランジスタM6のドレインへ接続している。トランジスタQ6のベースはトランジスタQ6のコレクタ、PNPトランジスタQ7のベース、PNPトランジスタQ8のベースへ接続している。トランジスタQ7のエミッタはPチャンネルMOSトランジスタM7のドレインへ接続しており、且つトランジスタQ8のエミッタはPチャンネルMOSトランジスタM8のドレインへ接続している。トランジスタM6, M7, M8の各々のソースは電圧供給源VDDへ接続している。トランジスタM6のゲート及びトランジスタM8のゲートは、両方とも、接地基準電圧へ接続している。図2に示した「at speed」制御信号はインバータ28の入力端へ接続即ち供給され、且つインバータ28の出力端はトランジスタM7のゲートへ接続している。トランジスタM6, M7, M8は、夫々、トランジスタQ6, Q7, Q8を介しての電流を制御するスイッチトランジスタである。

【0027】トランジスタQ7のコレクタ及びトランジスタQ8のコレクタは、両方とも、図2にも示してあるノードEへ接続している。図3に示したバッファ回路24、コンデンサ22、駆動トランジスタ18は、図2に示した回路の対応する部分と同一である。ノードEはコンデンサ22の第一プレート及びバッファ回路24の入力端へ接続している。バッファ回路24の出力端は低側駆動トランジスタ18のゲートへ接続している。コンデンサ22の第二プレートは出力端子OUTへ接続しており、出力端子OUTは、駆動トランジスタ18のドレインへ接続している。駆動トランジスタ18のソースは接地基準電圧へ接続している。図2及び3に示した回路は駆動トランジスタ18のゲートにおける電圧を選択的に上昇及び低下させるために共同して動作すべく同時に 50

ノードEへ接続させることが可能である。

【0028】図3に示した回路は、以下の態様で駆動トランジスタ18のゲートにおける電圧を上昇させる。トランジスタM6, M8の各々のゲートは、接地基準電圧へ接続されており、トランジスタM6, M8の両方は常に導通状態にある。トランジスタM7のゲートは反転された「at speed」制御信号へ接続される。従って、ロータの速度がスレッシュホールド速度より低い場合には、「at speed」制御信号は低であり且つトランジスタM7はスイッチオフされる。ロータの速度がスレッシュホールド速度を超えると、「at speed」制御信号が高状態とされ且つトランジスタM7がスイッチオンされ、そのことはトランジスタQ7, M7を介しての電流の流れを開始させる。

【0029】電流源26はトランジスタM6, Q6を介して電圧源VDDから接地基準電圧へ電流 I_1 を引出す。トランジスタQ6とQ8との間の結合はカレントミラー回路を形成しており、それは電圧源VDDからトランジスタM8, Q8を介してノードEへ電流 I_1 に等しい電流 I_1 を引出す。電流 I_1 はコンデンサ22の第一プレートを充電し、それはノードEにおける電圧を上昇させる。駆動トランジスタ18のゲートにおける電圧は、ノードEにおける電圧が上昇すると、バッファ回路24によって増加させる。ロータの速度がスレッシュホールド速度よりも低い限り、「at speed」制御信号は低であり且つトランジスタM7, Q7は電流を導通することが阻止される。そうであるから、駆動トランジスタ18のゲートにおける電圧は電流 I_1 に従って増加される。その結果、制御回路25は、ロータがゆっくりと回転している場合に、電流 I_1 によって支配されるスルーレートを低側駆動トランジスタ18へ供給する。

【0030】ロータの速度がスレッシュホールド速度を超えて増加すると、「at speed」制御信号が低レベルから高レベルへシフトされ、そのことはトランジスタM7をスイッチオンさせる。トランジスタM7のスイッチオンは、電流 I_1 を電圧源VDDからトランジスタM7, Q7を介してノードEへ供給させることを可能とする。トランジスタM7が導通状態である場合には、トランジスタQ7がトランジスタQ6へ結合されて第二カレントミラー回路を形成する。トランジスタM7がスイッチオンされる場合には、電流 I_1 は電流 I_1 と等しい。トランジスタM7, M8が両方とも導通状態であると、トランジスタQ7, Q8は、夫々、ノードEを介してコンデンサ22へ電流 I_1 , I_1 を供給する。駆動トランジスタ18のゲートにおける電圧は電流 I_1 , I_1 の和に従ってバッファ回路24によって上昇される。それにより、駆動トランジスタ18のスルーレートは、ロータ速度がスレッシュホールド速度を超え且つ該コイルを介して中程度の電流の流れが存在する場合に、ほぼ2倍とされる。このように、制御回路25はロータの速度

にตอบสนองして低側駆動トランジスタのスルーレートを制御し、且つ該スルーレートは該コイルを介しての高電流再循環期間中に減少される。

【0031】図3に示した回路においては、トランジスタQ6、Q7、Q8の寸法は同一であり、従って、トランジスタM7がスイッチオンされる場合に、電流 I_6 、 I_7 、 I_8 は等しい。別の実施例においては、トランジスタQ7、Q8は異なる寸法とすることが可能であり、電流 I_7 は電流 I_6 よりも大きいとか又はより小さいものとする事が可能である。トランジスタQ6、Q7、Q8は、モータの特性に一致させるようにスルーレートを調節する様な態様で構成することが可能である。

【0032】本発明の第三実施例に基づく制御回路35を図4に示してある。制御回路35はロータの速度を表わす制御信号をCPにตอบสนองしてNチャンネルDMOS低側駆動トランジスタ38のスルーレートを調節するためにアナログフィードバック技術を使用している。制御回路35は非反転入力端と、反転入力端と、出力端とを具備するオペアンプ40を有している。該非反転入力端はチャージポンプ回路(不図示)の出力端子から制御信号CPを受取る。該チャージポンプ回路は、ロータの速度を規制する従来のフェーズロックループ回路(不図示)の一部である。ロータの速度はBEMF信号から派生され、且つフェーズロックループ回路はフィードバック態様で制御信号CPを発生することによって速度を制御する。ロータの速度が低い場合には、制御信号CPは高レベルであり、且つロータの速度が高いか又は所望の速度近くである場合には、制御信号CPは低レベルである。

【0033】オペアンプ40の出力端はPチャンネルMOSトランジスタM11のゲートへ接続しており、且つオペアンプ40の反転入力端はトランジスタM11のソースへ接続している。トランジスタM11のソースは、負荷抵抗 R_1 の第一端部へ接続しており、負荷抵抗 R_1 の第二端部は電圧源VDDへ接続している。トランジスタM11のドレインはNPNトランジスタQ11のコレクタ及びベースへ接続している。トランジスタQ11のコレクタ及びベースは、更に、NPNトランジスタQ12のベースへ接続している。トランジスタQ11のエミッタ及びトランジスタQ12のエミッタは、両方とも、接地基準電圧へ接続している。トランジスタQ12のコレクタはバッファ回路42の入力端及びコンデンサ44の第一プレートへ接続している。コンデンサ44の第二プレートは出力端子OUTへ接続している。バッファ回路42の出力端は駆動トランジスタ38のゲートへ接続している。駆動トランジスタ38のドレインは端子OUTへ接続しており、且つ駆動トランジスタ38のソースは接地基準電圧へ接続している。図4に示したバッファ回路42、コンデンサ44、駆動トランジスタ38は図2及び3に示した対応する要素と同一である。上述したように、該コイルのうちの1つの一端部が端子OUTへ

接続しており、従って駆動トランジスタ38がスイッチオンされる場合に、電流が該コイルから駆動トランジスタ38を介して接地基準電圧へ流れる。

【0034】図4に示した制御回路35の動作について説明する。通常は電圧源VDDの電圧と接地基準電圧との間のレベルにある制御信号CPが以下の態様で駆動トランジスタ38のスルーレートを支配即ち制御する。オペアンプ40及びトランジスタM11はソースホロア回路を形成しており、その場合にオペアンプ40の非反転入力端へ送給される制御信号CPはトランジスタM11のソースにおいて再生される。電圧源VDDと制御信号CPとの間の電圧差が負荷抵抗 R_1 を横断し、トランジスタM11及びトランジスタQ11を介し、接地基準電圧へ電流を駆動させる。トランジスタQ11、Q12はカレントミラー形態で結合されており、従ってトランジスタQ11を介しての電流はトランジスタQ12を介してミラー動作される。電流が負荷抵抗 R_1 を介して引出されると、等しい電流がトランジスタQ12を介してコンデンサ44から接地基準電圧へ流される。駆動トランジスタ38のゲートにおける電圧は、トランジスタQ12を介して引出される電流によって発生されるコンデンサ44の第一プレート上の電圧における減少に従ってバッファ回路42によって減少される。

【0035】ロータの速度が低く且つチャージポンプ回路によって発生される制御信号CPが高レベルであると、負荷抵抗 R_1 を横断しての電圧降下は小さく、その結果負荷抵抗 R_1 及びトランジスタM11、Q11を介して引出される電流は低い。等しく低い電流がコンデンサ44からトランジスタQ12を介して接地基準電圧へ流れる。従って、駆動トランジスタ38のゲートにおける電圧はコンデンサ44から引出される低い電流に従ってバッファ回路42の出力によって減少される。駆動トランジスタ38のスルーレートは、ロータの速度が低く且つコイルを介しての電流再循環が高い場合に減少される。

【0036】対称的に、ロータの速度が高い場合には、制御信号CPは高レベルであり、その結果負荷抵抗 R_1 を横断しての電圧降下は大きい。この大きな電圧降下は負荷抵抗 R_1 、トランジスタM11、トランジスタQ11を介しての高電流を発生する。トランジスタQ12はコンデンサ44から等価的に高い電流を引出す。駆動トランジスタ38のゲートにおける電圧は、コンデンサ44から引出される高い電流に従ってバッファ回路42の出力によって減少される。その結果、駆動トランジスタ38のスルーレートは、モータの速度が高い場合に増加される。このように、制御回路35はロータの速度にตอบสนองして低側駆動トランジスタのスルーレートを制御し、且つそのスルーレートは、該コイルを介しての高電流再循環期間中に減少される。

【0037】本発明の第四実施例に基づく制御回路45

を図5に示してあり、それは駆動トランジスタ38のゲートにおける電圧を増加させる。制御回路45は、図4に示した制御回路35が駆動トランジスタ38がスイッチオンされる場合にスルーレートを制御するのと同様の態様で駆動トランジスタ38がスイッチオンされる場合にスルーレートを制御する。

【0038】制御回路45は、非反転入力端と、反転入力端と、出力端とを具備する第一オペアンプ50を有している。該非反転入力端はインバータ回路52の出力端へ接続しており、インバータ回路52は図4に関連して説明したチャージポンプ回路によって発生される制御信号CPを反転させる。インバータ回路52は、第二オペアンプ54と抵抗 R_{56} 、 R_{58} から構成されている。第二オペアンプ54は出力端と、反転入力端と、基準電圧VREFへ接続している非反転入力端とを具備している。抵抗 R_{56} の第一端部は制御信号CPを受取り、且つ抵抗 R_{56} の第二端部は第二オペアンプ54の反転入力端へ接続している。第二オペアンプ54の反転入力端及び出力端は抵抗 R_{56} によって接続されている。抵抗 R_{56} 、 R_{58} は等価であり、従ってインバータ回路54は単位利得を与える。インバータ回路52は電圧VREFに関して制御信号CPを反転させ且つ反転制御信号CPを第一オペアンプ50の非反転入力端へ送給する。上述したように、制御信号CPは接地基準電圧と電圧源VDDとの間の電圧レベルに制限されており、且つ基準電圧VREFはこれらの限界の間の中間に選択されている。制御信号CPの反転は、以下の例を参照することにより最も良く説明することが可能である。本発明の1実施例において、電圧源VDDは5Vであり、接地基準電圧は0Vであり、且つ基準電圧VREFは2.5Vに選択されている。制御信号CPが4Vである場合には、第二オペアンプ54の出力端において1Vが発生される。

【0039】第一オペアンプ50の出力端はNチャンネルMOSトランジスタM14のゲートへ接続しており、且つ第一オペアンプ50の反転入力端はトランジスタM14のソースへ接続している。トランジスタM14のソースは、又、負荷抵抗 R_{11} の第一端部へ接続しており、且つ負荷抵抗 R_{11} の第二端部は接地基準電圧へ接続している。トランジスタM14のドレインはPNPトランジスタQ14のコレクタとベースとに接続している。トランジスタQ14のコレクタ及びベースは、更に、PNPトランジスタQ15のベースへ接続している。トランジスタQ14のエミッタ及びトランジスタQ15のエミッタは、両方とも、電圧源VDDへ接続している。図5に示したバッファ回路42、コンデンサ44、駆動トランジスタ38は図4に示した回路における対応する部分と同一である。トランジスタQ15のコレクタはバッファ回路42の入力端及びコンデンサ44の第一プレートへ接続している。コンデンサ44の第二プレートは出力端子OUTへ接続している。バッファ回路42の出力端は

駆動トランジスタ38のゲートへ接続している。駆動トランジスタ38のドレインは端子OUTへ接続しており、且つ駆動トランジスタ38のソースは接地基準電圧へ接続している。図4及び5に示した回路は、駆動トランジスタ38のゲート上の電圧を増加及び減少させるために、共同して動作すべく同時にバッファ回路42及びコンデンサ44へ接続させることが可能である。

【0040】次に、図5に示した回路の動作について説明する。インバータ回路52は基準電圧VREFに関して制御信号CPを反転させ且つ反転した制御信号CPを第一オペアンプ50の非反転入力端へ印加させる。第一オペアンプ50及びトランジスタM14はソースホロア回路を形成しており、その場合に反転制御信号CPはトランジスタM14のソースにおいて再生される。トランジスタM14のソースと接地基準電圧との間の電圧差が電圧源VDDからトランジスタQ14、M14及び負荷抵抗 R_{11} を介して接地基準電圧へ電流を流す。トランジスタQ14、Q15はカレントミラー形態で結合されており、従って、トランジスタQ14を介して電流が流されると、同一の電流が電圧源VDDからトランジスタQ15を介してコンデンサ44へ流される。駆動トランジスタ38のゲートにおける電圧はコンデンサ44へ送給される電流に従ってバッファ回路42によって増加される。

【0041】ロータの速度が低く且つ制御信号CPが高レベルであると、インバータ回路52は低反転制御信号CPを第一オペアンプ50の非反転入力端へ供給する。低反転制御信号CPはトランジスタM14のソースへ印加され、その結果負荷抵抗 R_{11} を横断して小さな電圧降下を発生し且つトランジスタQ14を介して低い電流を流させる。等しく低い電流が電圧源VDDからトランジスタQ15を介してコンデンサ44へ流される。駆動トランジスタ38のゲートにおける電圧はコンデンサ44へ送給される低い電流に従ってバッファ回路42によって増加される。駆動トランジスタ38のスルーレートは、ロータの速度が低く且つ該コイルを介しての電流再循環が高い場合に減少される。

【0042】対称的に、ロータの速度が高い場合には制御信号CPは低レベルであり且つ反転制御信号CPは高レベルである。その結果、負荷抵抗 R_{11} を横断して大きな電圧降下があり、それは電圧源VDDからトランジスタQ14、M14を介し且つ負荷抵抗 R_{11} を介して高電流を流させる。等しく高い電流が電圧源VDDからトランジスタQ15を介してコンデンサ44へ引出される。駆動トランジスタ38のゲートにおける電圧は、コンデンサ44へ供給される電流に従ってバッファ回路42によって増加される。その結果、駆動トランジスタ38のスルーレートは、モータの速度が高い場合に増加される。このように、制御回路45はロータの速度に応答して低側駆動トランジスタのスルーレートを制御し、且つ

そのスルーレートは該コイルを介しての高電流再循環期間中に減少される。

【0043】図2-5に示した回路の各々は、デジタル制御信号によって制御されるスイッチにより低側駆動トランジスタのゲートを充電又は放電するために必要に応じてターンオン及びオフさせることが可能である。図2に示した制御回路15の一部は図6において複製されており、その場合に、トランジスタQ1、Q2、Q3の各々のベースはNチャンネルMOSトランジスタM21のドレインへ接続している。トランジスタM21のソースは接地基準電圧へ接続している。トランジスタM21のゲートはモータ制御論理回路（不図示）から制御信号CTL1を受取る。制御信号CTL1が高レベルであると、トランジスタM21は導通状態にあり、トランジスタQ1、Q2、Q3のベースは接地基準電圧へ接続され、そのことは制御回路15をディスエーブルさせてそれが駆動トランジスタ18のゲートを放電することを阻止する。制御信号CTL1が低レベルであると、トランジスタM21がスイッチオフされ且つ制御回路15は上述したように駆動トランジスタ18のゲートを放電すべく動作する。

【0044】同様に、図3に示した制御回路25の一部は図7において複製されている。トランジスタQ6、Q7、Q8のベースはPチャンネルMOSトランジスタM22のドレインへ接続している。トランジスタM22のソースはVDDへ接続しており、且つトランジスタM22のゲートはモータ制御論理回路から制御信号CTL2を受取る。制御信号CTL2が低レベルであると、トランジスタM22は導通状態にあり且つトランジスタQ6、Q7、Q8のベースは電圧源VDDへ接続され、そのことは制御回路25をディスエーブルさせてそれが駆動トランジスタ18のゲートを充電することを阻止する。制御信号CTL2が高レベルであると、トランジスタM22がスイッチオフされ且つ制御回路25は上述したように駆動トランジスタ18のゲートを充電すべく動作する。

【0045】図4に示した制御回路35の一部を図8に複製してある。トランジスタQ11、Q12の各々のベースはNチャンネルMOSトランジスタM23のドレインへ接続している。トランジスタM23のソースは接地基準電圧へ接続しており、且つトランジスタM23のゲートはモータ制御論理回路から制御信号CTL3を受取る。制御信号CTL3が高レベルであると、トランジスタM23は導通状態にあり且つトランジスタQ11、Q12のベースは接地基準電圧へ接続され、そのことは制御回路35をディスエーブルさせてそれが駆動トランジスタ38のゲートを放電させることを阻止する。制御信号CTL3が低レベルであると、トランジスタM23はスイッチオフされ且つ制御回路35は上述したように駆動トランジスタ38のゲートを放電させるべく動作す

る。

【0046】最後に、図5に示した制御回路45の一部が図9において複製されている。PチャンネルトランジスタM24のドレインがトランジスタQ14、Q15のベースへ接続しており、且つトランジスタM24のソースが電圧源VDDへ接続している。トランジスタM24のゲートはモータ制御論理回路から制御信号CTL4を受取る。制御信号CTL4が低レベルであると、トランジスタM24は導通状態にあり且つトランジスタQ14、Q15のベースは電圧源VDDへ接続され、そのことは制御回路45をディスエーブルさせてそれが駆動トランジスタ38のゲートを充電することを阻止する。制御信号CTL4が高レベルであると、トランジスタM24がスイッチオフされ且つ制御回路45は上述したように駆動トランジスタ38のゲートを充電すべく動作する。

【0047】制御信号CTL1、CTL2、CTL3、CTL4は三相DCモータにおけるコミュレーション期間中に低側駆動トランジスタのゲートの充電及び放電を制御するためにモータ制御論理回路によって制御される。図2-5に示した制御回路は、低側駆動トランジスタのうちの1つがスイッチオン又はオフされる場合にのみ動作し、且つ該制御回路の全てがディスエーブルされる期間が存在している。三相DCモータが低いロータ速度で動作しており且つ「Y」接続型コイルを介して高電流再循環が存在している場合に、該コイルを介しての電流は、高側又は低側駆動トランジスタのうちのいずれか1つが状態を変化させる場合に乱される。図2-5に示した制御回路は、該コイルを介しての電流の流れにおける変化に関連する可聴ノイズを最小とさせるために、高側駆動トランジスタ又は低側駆動トランジスタのいずれかのスルーレートを制御するために使用することが可能である。更に、別の実施例においては、図2-5に示した制御回路は、コンデンサと並列接続されているバッファ回路の組合わせなしで、駆動トランジスタのゲートへ直接的に接続させることが可能である。

【0048】駆動トランジスタのスルーレートを制御するための方法及び複数個の回路について説明した。幾つかの例においては、例えばモータ制御論理回路、シーケンサ回路、三相DCモータと関連しているフェーズロックループ回路等の公知の回路についての詳細な説明は割愛した。更に、本発明の幾つかの実施例について例示として説明したが、本発明の範囲を逸脱することなしに種々の変形を行なうことが可能であることは勿論である。例えば、本発明をBJT及びMOSトランジスタの特定の構成を有するものについて説明した。然しながら、当業者にとって明らかなように、本発明は、BJT及びMOSトランジスタの別の構成をもって実施することも可能である。何故ならば、これら2つのタイプのトランジスタは同様の機能を達成するからである。特に、駆動ト

ランジスタは上述したNチャンネルDMOSトランジスタの代わりにBJT又はPチャンネルDMOSトランジスタとすることが可能である。同様に、図4及び5に示したソースホロア回路は、MOSトランジスタの代わりにBJTトランジスタで構成することも可能である。

【0049】以上、本発明の具体的実施の態様について詳細に説明したが、本発明は、これら具体例にのみ制限されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の変形が可能であることは勿論である。

【図面の簡単な説明】

【図1】 従来技術に基づく三相DCモータを示した概略図。

【図2】 本発明の第一実施例に基づく低側駆動トランジスタの制御端子へ印加される電圧を減少させる回路を示した概略図。

【図3】 本発明の第二実施例に基づく低側駆動トランジスタの制御端子へ印加される電圧を増加させる回路を示した概略図。

【図4】 本発明の第三実施例に基づく低側駆動トランジスタの制御端子へ印加される電圧を減少させる回路を

示した概略図。

【図5】 本発明の第四実施例に基づく低側駆動トランジスタの制御端子へ印加される電圧を増加させる回路を示した概略図。

【図6】 制御スイッチを包含する図2に示した回路の一部を示した概略図。

【図7】 制御スイッチを包含する図3に示した回路の一部を示した概略図。

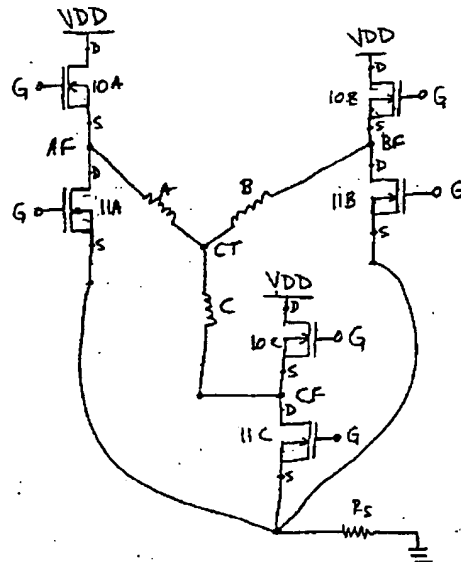
【図8】 制御スイッチを包含する図4に示した回路の一部を示した概略図。

【図9】 制御スイッチを包含する図5に示した回路の一部を示した概略図。

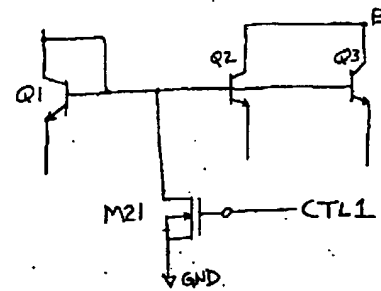
【符号の説明】

- 15 制御回路
- 18 低側駆動トランジスタ
- 20 電流源
- 22 コンデンサ
- 24 バッファ回路
- 26 電流源
- 28 インバータ

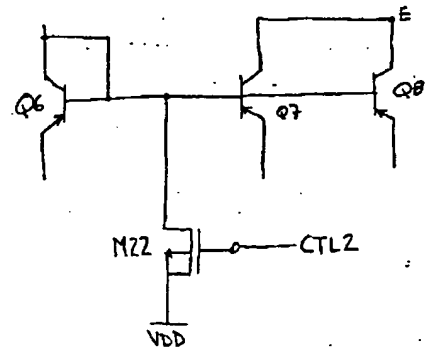
【図1】



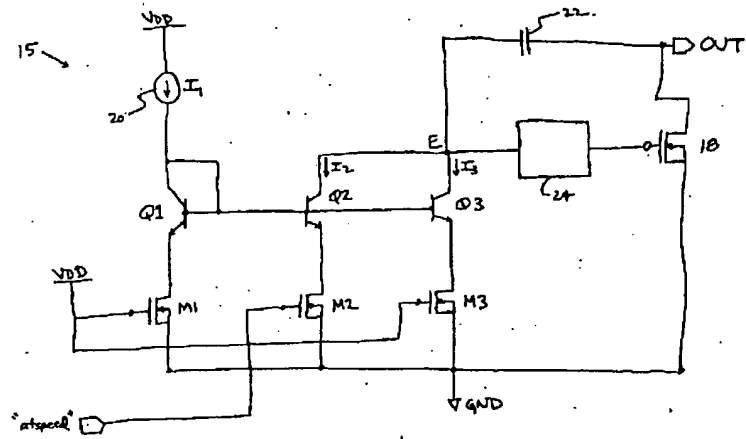
【図6】



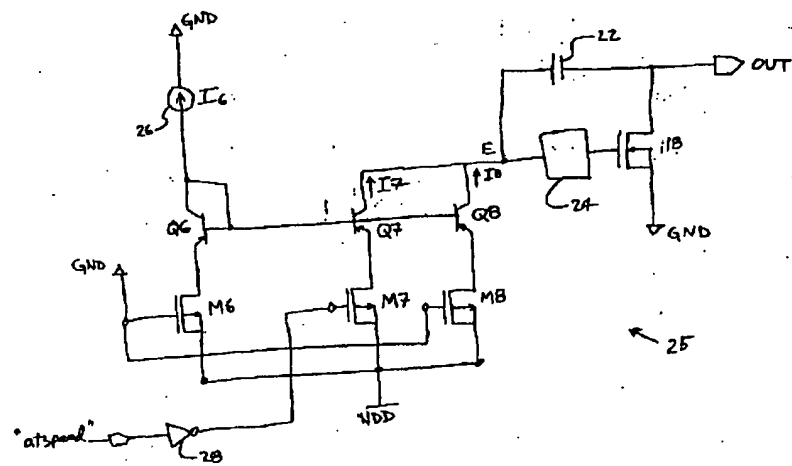
【図7】



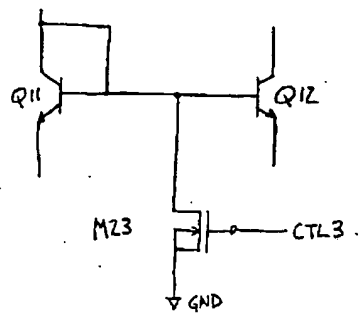
【図 2】



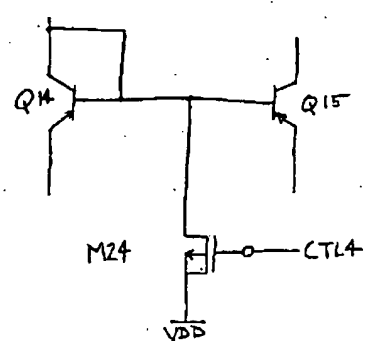
【図 3】



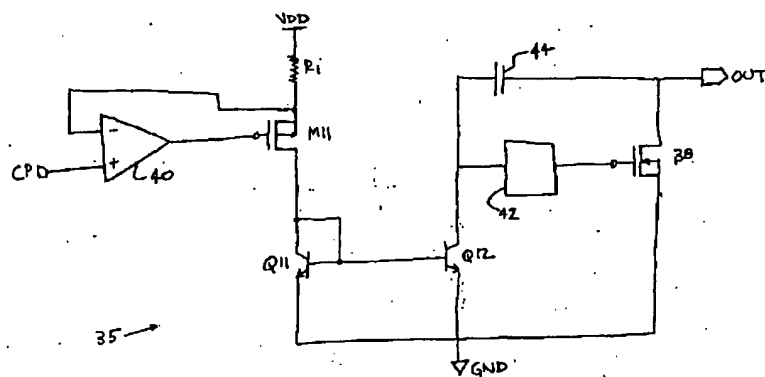
【図 8】



【図 9】



【図4】



【図5】

